



① 日本国特許庁

## 公開特許公報

特 許 願(3)

① 特開昭 49-98964

④ 公開日 昭49.(1974)9.19

② 特願昭 48-10085

② 出願日 昭48.(1973)1.24

審査請求 未請求 (全5頁)

庁内整理番号

⑤ 日本分類

7113 57

995C23



(2,000円)

特許庁長官 殿

発 明 の 名 称

ヘドロインソナ セミコンダクタ  
半導体装置の製造方法

発 明 者

東京都港区芝五丁目7番15号

日本電気株式会社内

オノ 山 田  
大 山 田  
岡 田 太 田  
岡 田 太 田

特 許 出 願 人

東京都港区芝五丁目7番15号

(423) 日本電気株式会社

代表者 社長 小林 宏 治

代 理 人

〒108 東京都港区芝五丁目7番15号

日本電気株式会社内

(6591) 弁理士 内 原

電話 (452) 1111 (大代表)

48 010085

明 細 書

発 明 の 名 称

半導体装置の製造方法

特許請求の範囲

- (1) シリコン基板の上に形成した酸化膜にヘロゲンイオン又は、ヘロゲン化合物分子イオンを、酸化膜中に存在するイオンの量が  $10^{11} \sim 10^{14} \text{ cm}^{-2}$  の範囲となるように打込む工程と、上記イオン打込み後、500℃以上1200℃以下で熱処理する工程とを具備したことを特徴とする半導体装置の製造方法。
- (2) シリコン基板に一面の全体から又は部分的にヘロゲンイオン又は、ヘロゲン化合物分子イオンを  $10^{11} \sim 10^{14} \text{ cm}^{-2}$  の範囲で打込む工程と、上記イオン打込み後、酸化雰囲気中で600℃以上1200℃以下で熱処理して所定の酸化膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

発 明 の 詳 細 を 説 明

本発明はSi基板又はSi<sub>3</sub>N<sub>4</sub>基板上に形成したSiO<sub>2</sub>膜

上からヘロゲンイオンを打込んだ後、熱処理を行なつて電気的に不安定な酸化膜を得る方法に関する。従来MOS型半導体素子製造に於て、熱処理により形成したグレート酸化膜中には、Na<sup>+</sup>イオン、H<sub>2</sub>Oイオン、液相型位等の正電荷が導入されやすくMOS素子の不安定性の原因になつている。不安定さを少なくするための従来の方法としては、製造過程において、Na<sup>+</sup>イオンなどの不純物の汚染を防ぐと同時に導入した不純物の影響を少なくするための種々の努力がなされているが、最も広く採用されている方法は、900℃～1000℃においてP<sub>2</sub>O<sub>5</sub>蒸気を送つてSiO<sub>2</sub>中に拡散させ、酸化膜表面にリンガラス(P<sub>2</sub>O<sub>5</sub>・SiO<sub>2</sub>)層を成長させるリン処理と呼ばれる方法である。

しかしリン処理で形成されるリンガラス層はHFに対するエッチング速度が通常の酸化膜よりも格段に大きいので、リンガラス形成後は、HFによる前処理ができないうえ、及び、リンガラス層は分解するので電気的に不安定であること等の欠点がある。

特開 昭49- 98964 (2)

これを改良する従来の方法としては、例えば Journal of Electrochemical Society 誌 1972 年 第 119 巻 第 3 号 p.388 ~ p.392 の Krieger 等の論文「シリコンの熱酸化における塩化水素と塩素の効果 (The Effect of HCl and Cl<sub>2</sub> on the Thermal Oxidation of Silicon)」に記載されているように HCl または Cl<sub>2</sub> を数パーセント含んだ dry O<sub>2</sub> 雰囲気中で熱酸化して酸化膜を形成する方法がある。しかし上記方法は、HCl または Cl<sub>2</sub> の dry O<sub>2</sub> 中に占める割合が多いほど酸化速度が速くなり酸化膜の汚損性に乏しいという欠点があった。

本発明の目的は、従来の熱酸化を基本とした MOS 構造の安定化の代りに、イオン注入法を用い、汚損性よく清浄な酸化膜を得て、安定な MOS 構造素子を得る方法を提供するものである。

本発明の構成は、Si 基板、又は、Si 基板上に形成した酸化膜の上から <sup>35</sup>Cl<sup>+</sup>, <sup>37</sup>Cl<sup>+</sup>, <sup>19</sup>F<sup>+</sup> などのヘロゲンイオンあるいはヘロゲン元素を含む分子のイオンを打込むことと、打込み後、Si 基板上に打込

-3-

処理後、VFB を測定すると <sup>35</sup>Cl<sup>+</sup> イオンを打込んだ試料では、VFB の移動 ΔVFB がほとんどなかった。これは打込まれた <sup>35</sup>Cl<sup>+</sup> イオンが酸化膜中の Na<sup>+</sup> などの移動性イオンをグッタしたために生じた効果であると思われる。

第 3 図を参照すると本発明の第 2 の実施例は、第 1 の実施例と同じく比抵抗 10Ω-cm の (100) 面を有する n 型 Si 基板 31 上に BC<sub>2</sub> をイオンソースとして、<sup>35</sup>Cl<sup>+</sup> イオン 32 を 40 KeV で 10<sup>11</sup> ~ 10<sup>14</sup> cm<sup>-2</sup> 打込んだ後、1100°C の dry O<sub>2</sub> 雰囲気中で 1500Å の SiO<sub>2</sub> 33 を形成し、電子ビーム露光で ΔL 電導 34 を設け MOS 容量素子を作成した。この酸化膜の特性は一例として打込みのさいの場合と 10<sup>13</sup> cm<sup>-2</sup> の <sup>35</sup>Cl<sup>+</sup> イオンを打込むことによつて酸化膜中の電荷の量は減少していることが認められ、耐圧、電圧、漏れ率などには変化が認められなかった。又上記、MOS 容量素子に 1.5 V を印加し、過渡応答時間 (transient response time) を測定したところ、<sup>35</sup>Cl<sup>+</sup> イオン打込みをしなかつた試料は 0.1 ~ 0.2 秒であったが、

んだものは、酸化雰囲気中で熱処理を行ない、所望の酸化膜を形成すること、また、Si 基板上に形成した酸化膜上から打込んだものは、適当な熱処理をほどこすこととなる。

次に図面を参照しながら本発明の実施例を説明する。第 1 図を参照すると、100-cm の (100) 面を有する n 型 Si 基板 11 上に、酸化雰囲気中で 1500Å の SiO<sub>2</sub> 12 を形成した。次いで BC<sub>2</sub> をイオンソースとして <sup>35</sup>Cl<sup>+</sup> イオン 13 を 100 keV のエネルギーで 10<sup>11</sup> ~ 10<sup>14</sup> cm<sup>-2</sup> の打込みを行なつた後、550°C の水素雰囲気中で 30 分の熱処理を行なつた。

電子ビーム露光により、1.2 μm の ΔL を露光して電導 14 を形成し、470°C の N<sub>2</sub> 雰囲気中で 10 分間熱処理し、MOS 容量素子を作成した。

第 2 図を参照すると一例として 10<sup>13</sup> cm<sup>-2</sup> の <sup>35</sup>Cl<sup>+</sup> イオンを打込んで作成した MOS 容量素子の Flat-band 電圧 V<sub>FB</sub> の変化 21 を <sup>35</sup>Cl<sup>+</sup> イオンの打込みのない MOS 容量素子の電圧 22 と比較して示すように、MOS 容量素子の V<sub>FB</sub> の初期値は両者の間に相違は見られなかつたが、250°C 10V 10 分の BT

-4-

<sup>35</sup>Cl<sup>+</sup> イオンを打込んだ試料では約 100 秒となり、酸化膜中のトラップの数の減少が確認された。また少数キャリアの有効寿命 (Effective minority carrier lifetime) は、<sup>35</sup>Cl<sup>+</sup> を打込まない試料では、0.2 ~ 1.0 マイクロ秒に対し、<sup>35</sup>Cl<sup>+</sup> イオンを打込んだ試料では 50 ~ 200 マイクロ秒と、10 倍以上の向上が確認された。以上の現象はいずれも、Na<sup>+</sup> イオンを始め、金、銅、鉄などの重金属が打込まれた <sup>35</sup>Cl<sup>+</sup> イオンのためにグッタリングされたためであると思われる。

以上述べた如く、本発明の構成をとることにより、清浄な酸化膜を得て電気的に安定な MOS 構造素子を得ることができるという大きな効果を生ずる。

今まで、本発明を <sup>35</sup>Cl<sup>+</sup> イオンの打込みで説明してきたが、本発明は、<sup>35</sup>Cl<sup>+</sup> イオンのみに限るものではなく、他のヘロゲンイオン又は、ヘロゲンイオンの化合物である分子イオンを打込むことによつても同様の効果が期待される。

例えばヘロゲン分子イオンの例としては、BC<sub>2</sub> 20

特開 昭49- 98964 (3)

をソースとし、BC $\Delta^+$ イオンを $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 打込むと、前記同様の効果が出た。しかし、質量が大きいので、低打込み領域では、少なくとも700℃で1時間以上の熱処理を必要とする。

なお、本発明はヘロゲンイオンをSi基板又はSi<sub>3</sub>N<sub>4</sub>基板上に形成した酸化膜中に打込むものであつて、ヘロゲンイオンの衝撃により、エッチングを行なうものではない。

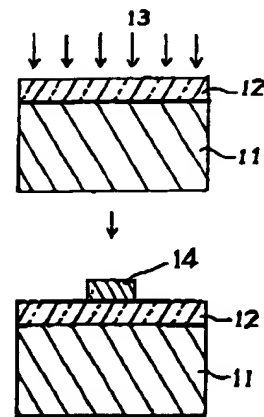
図面の簡単な説明

第1図は本発明の一実施例を示す断面図であり、10第2図はその実施例の効果を説明するためのグラフである。第3図は、本発明の他の実施例を示す断面図である。

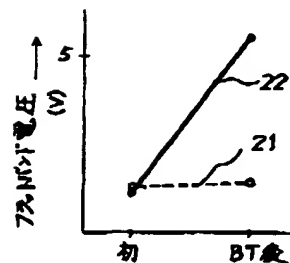
1 打込み

- 11..... Si基板    12..... SiO<sub>2</sub>  
 13.....  $^{13}\text{C}\Delta^+$ イオンビーム    14..... Al電極    15  
 21.....  $^{13}\text{C}\Delta^+$ イオン打込みをした試料のBT処理による変化  
 22.....  $^{13}\text{C}\Delta^+$ イオン打込みをしない試料のBT処理による変化  
 31..... Si基板    32.....  $^{13}\text{C}\Delta^+$ イオンビーム  
 33..... SiO<sub>2</sub>膜    34..... Al電極    20

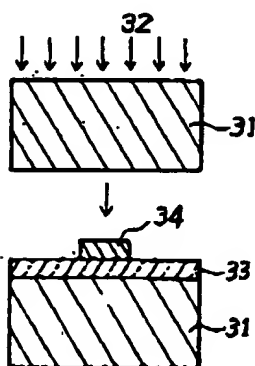
代理人 井上 正 氏  
 -7-



第1図



第2図



第3図

	打込みなし	$10^{13} \text{ ions/cm}^2$
Flat-band 電圧 $V_{FB}$ (V)	0.22	0.21
$Q_{ox}/e$ ( $10^{10}/\text{cm}^2$ )	10	8
降服電界 ( $10^6 \text{ V/cm}$ )	7.0	7.2
誘電率 (10 kHz)	3.8	3.8
屈折率	1.46	1.46
少数キャリア寿命 (ns)	0.2 ~ 1.0	50 ~ 200
遷移応答時間 (秒)	0.1 ~ 0.2	100

表

特開 6849- 98954 (3)

をソースとし、BC $\Delta^+$ イオンを $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 打込むと、前記同様の効果が出た。しかし、質量が大きいため、低打込み領域では、少なくとも700℃で1時間以上の熱処理を必要とする。

なお、本発明はハロゲンイオンをSi基板又はSi基板上に形成した酸化膜中に打込むものであつて、ハロゲンイオンの衝撃により、エッチングを行なうものではない。

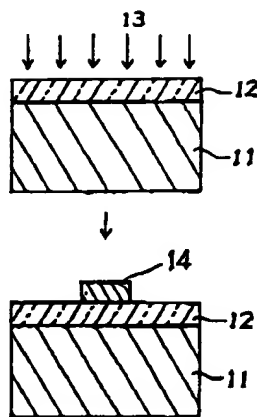
図面の簡単な説明

第1図は本発明の一実施例を示す断面図であり、10第2図はその実施例の効果を説明するためのグラフである。第3図は、本発明の他の実施例を示す断面図である。

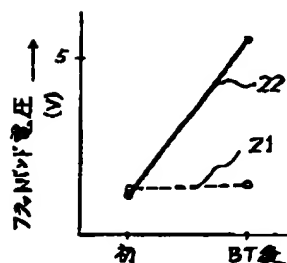
- 11----- Si基板    12----- SiO<sub>2</sub>  
 13-----  $^{25}\text{Cl}^+$ イオンビーム    14----- Al電極    15  
 21-----  $^{25}\text{Cl}^+$ イオン打込みをした試料のBT処理による変化  
 22-----  $^{25}\text{Cl}^+$ イオン打込みをしない試料のBT処理による変化  
 31----- Si基板    32-----  $^{25}\text{Cl}^+$ イオンビーム  
 33----- SiO<sub>2</sub>膜    34----- Al電極

代理人 井上士 20

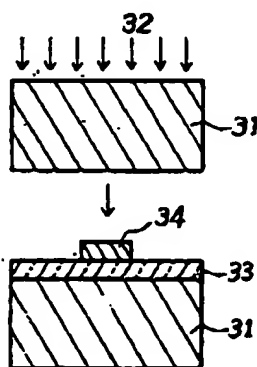
-7-



第1図



第2図



第3図

	打込みをし	$10^{13} \text{ ions/cm}^2$
Flat-band 電圧 $V_{FB}$ (V)	0.22	0.21
$Q_{ox}/e$ ( $10^{10}/\text{cm}^2$ )	10	8
降服電界 ( $10^6 \text{ V/cm}$ )	7.0	7.2
誘電率 (10 kHz)	3.8	3.8
屈折率	1.46	1.46
少数キャリア寿命 (ns)	0.2 ~ 1.0	50 ~ 200
遷移応答時間 (秒)	0.1 ~ 0.2	100

表

特開 昭49- 58964 (4)

## 添付書類の目録

明	細	書	1通
委	任	状	1通
図		面	1通
願	書	本	1通

手 続 補 正 審 (昭49)

昭和 48 年 6 月 日  
48. 6. -8

特許庁長官 三 宅 幸 夫 殿

1. 事件の表示 昭和48年特許願第10088号
2. 発明の名称 半導体装置の製造方法
3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目3番 1 号

(第422号) 日本電気株式会社

代表者 社長 小 林 一 郎

4. 代 理 人

東京都港区芝五丁目3番 1 号

日本電気株式会社内

(第5591号) 弁 理 士 内 原 啓

電話 東京(454)1111番(六つ)

5. 補正の対象 特許願の発明の要旨を以ての補正

## 6. 補正の内容(特許願48-10088)

1. 特許願の才5頁11~12行目の本文を「く  
なり酸化膜の付着性に乏しいという欠点及  
びこの方法にて有源な状態を得るためには必  
ず酸化膜があるという報告はなく、1100  
℃以上の高温酸化を必要とし、このためシリ  
コン基板内部に欠陥が形成されているP-N接  
合等が劣化する」という欠点を欠点があつた。」  
に補正する。

2. 同才4頁4行目と5行目の間に次の文を挿  
入する。

「また、打込み量としては、 $5 \times 10^{12}$   
の界面に存在する電気的状態を渡過電位を  
打込みのために少なくとも $10^{11} \text{ cm}^{-2}$ 程度を必  
要とする。しかし、打込み量が $10^{18} \text{ cm}^{-2}$   
程度を超えると、 $^{55}\text{Fe}^{2+}$  イオンのように、  
気相の欠点をイオンでは電子のひずみが大  
くなり $5 \times 10^{12}$ の界面に過渡電位の渡過  
条件では完全に除去できない渡過電位が新た  
に発生して電気的不安定性の原因となる。本

発明者による実験で打込み量としては、酸  
化膜上から打込む場合には $10^{11} \sim 10^{14}$   
 $\text{cm}^{-2}$ 、シリコンから打込む場合には $10^{11} \sim$   
 $10^{15} \text{ cm}^{-2}$ の範囲が適当であつた。

3. 同才4頁19行目から才5頁1行目の本文  
を「に、250℃10V、10分のBT処理  
を施す。酸化シリコン層のV<sub>FB</sub>を  
測定すると $^{55}\text{Fe}^{2+}$  イオンを打込み」に補正  
する。

代理人 弁理士 内 原 啓

## 出願人住所変更および代理人印鑑変更届

昭和 年 月 日

特許庁長官殿

48. 8. 28

1. 事件の表示 昭和48年 特許 願第 10085号

2. 発明の名称 半導体装置の製造方法

3. (1) 住所を変更した者

事件との関係 出願人

旧住所 東京都港区芝五丁目7番15号

新住所 東京都港区芝五丁目33番1号

名称 (423) 日本電気株式会社  
代表者 小林 宏 治

(2) 印鑑を変更した者

事件との関係 代理人

東京都港区芝五丁目33番1号

日本電気株式会社内

弁護士 内 原 晋

新印鑑

代理人

東京都港区芝五丁目33番1号

日本電気株式会社内

(6291) 弁護士 内 原 晋

電話東京(03)454-1111(六代機)

## English Translation of JPS49-98964

## Patent Application (3)

Commissioner of Patents Esq.

Title of the Invention Method for manufacturing semiconductor device

Inventor 7-15, 5-chome, shiba, minato-ku, Tokyo

5 c/o NEC Corporation

Yasushi Okuyama

said corporation Kyoji Tanahashi

said corporation Kuniichi Ota

Patent Applicant 7-15, 5-chome, shiba, minato-ku, Tokyo

10 (423) NEC Corporation

Representative President Koji Kobayashi

Agent 7-15, 5-chome, shiba, minato-ku, Tokyo 〒108

c/o NEC Corporation

(6591) Patent Attorney Susumu Uchihara

15 Telephone (452)1111 (rep)

48 010085 formality examination

## (19) Japan Patent Office

## Publication of Laid-Open Patent Application

20 (11) Japanese Patent Laid-Open Publication No. S49-98964

(43) Date of Publication: S.49.(1974) 9.19

(21) Japanese Patent Application No. S48-10085

(22) Date of Filing: S.48.(1973) 1.24

Request for Examination: Not made (Total Pages: 5)

25 Japan Patent Office file Number (52) Japan classification

7113 57

99(5)C23

## English Translation of JPS49-98964

## Specification

Title of the Invention      Method for manufacturing semiconductor device

## 5    Scope of Claims

(1) A method for manufacturing a semiconductor device, characterized by comprising a step of implanting a halogen ion or a molecular ion of a halogen compound in an oxide film formed over a silicon substrate so that a quantity of ions existing in the oxide film is in a range of  $10^{11}$  to  $10^{14}$   $\text{cm}^{-2}$ , and a step of performing heat treatment at

10    temperatures from 500°C or more to 1200°C or less after the step of ion implantation.

(2) A method for manufacturing a semiconductor device, characterized by comprising a step of implanting a halogen ion or a molecular ion of a halogen compound to a silicon substrate from an entire surface or a selected surface a silicon substrate in a range of  $10^{11}$  to  $10^{15}$   $\text{cm}^{-2}$ , and a step of forming a desired oxide film by performing heat

15    treatment at temperatures from 500°C or more to 1200°C or less in an oxidation atmosphere after the step of ion implantation.

## Detailed Description of the Invention

The present invention relates to a method for obtaining an electrically stable

20    oxide film by performing heat treatment after implanting a halogen ion from above a Si substrate or a  $\text{SiO}_2$  film formed over a Si substrate.

In the manufacturing of a conventional MOS type semiconductor element, a positive electric charge such as a  $\text{Na}^+$  ion, a  $\text{H}_2$  ion, or an oxygen vacancy is easily introduced into a gate oxide film formed by thermal oxidation, which causes the

25    unstableness of a MOS structure. As a conventional method for reducing the unstableness, various efforts are made for reducing the influence of a mixed impurity as well as preventing the contamination of an impurity such as a  $\text{Na}^+$  ion in a manufacturing process, and the most widely employed method is a method which is referred to as phosphorus treatment by which  $\text{P}_2\text{O}_5$  vapor is carried at temperatures from

30    900°C to 1000°C to be diffused into  $\text{SiO}_2$  to make a phosphorus glass ( $\text{P}_2\text{O}_5\text{-SiO}_2$ ) layer



## English Translation of JPS49-98964

grow over the surface of an oxide film.

However, as for the phosphorus glass layer formed by the phosphorus treatment, the etching rate with respect to HF is drastically higher than that of a normal oxide film; therefore, there are disadvantages that, for example, pretreatment by diluted  
5 HF cannot be performed after forming a phosphorus glass, and the phosphorus glass layer is electrically unstable since the phosphorus glass layer is polarized.

As a conventional method for improving this, for example, there is a method for forming an oxide film by conducting thermal oxidation in a dry O<sub>2</sub> atmosphere containing several mole percents of HCl or Cl<sub>2</sub> as mentioned in a report "The Effect of  
10 HCl and Cl<sub>2</sub> on the Thermal Oxidation of Silicon", Kriegler et al., Journal of Electrochemical Society, vol.119, No.3, 1972, pp.388 to 392. However, as for the above method, there is a disadvantage that oxidizing velocity becomes faster as a proportion of HCl or Cl<sub>2</sub> in dry O<sub>2</sub> is heightened, which leads to the poorness of reproducibility of the film thickness of the oxide film.

15 It is an object of the invention to provide a method for obtaining a stable MOS structure element by obtaining a clean oxide film with high reproducibility using an ion implantation method instead of conventional diffusion-based stabilization of a MOS structure.

The structure of the invention includes implantation of a halogen ion such as  
20 <sup>35</sup>Cl<sup>+</sup>, <sup>80</sup>Br<sup>+</sup>, or <sup>19</sup>F<sup>+</sup> or a molecular ion including a halogen element from above a Si substrate or an oxide film formed over a Si substrate, and the formation of a desired oxide film by performing heat treatment in an oxidation atmosphere on an object implanted in the Si substrate or an approximate heat treatment on an object implanted from above the oxide film formed over the Si substrate after the implantation.

25 Next, an embodiment of the invention is explained with reference to the drawings. Referring to FIG. 1, SiO<sub>2</sub> 12 of 1500 Å is formed in a thermal oxidation atmosphere over a n-type Si substrate 11 having a (100) plane of 10 Ω-cm. Then, a <sup>35</sup>Cl<sup>+</sup> ion 13 is implanted so as to be 10<sup>11</sup> to 10<sup>14</sup> cm<sup>-2</sup> using BCl<sub>3</sub> as an ion source with the energy of 100 keV, then, heat treatment is performed for 30 minutes in a hydrogen  
30 atmosphere at 550°C.

## English Translation of JPS49-98964

Al of 1.2  $\mu$  is deposited by electron beam evaporation to form an electrode 14, then, heat treatment is performed for ten minutes in N<sub>2</sub> atmosphere at 470°C. Thus, a MOS capacitor element is formed.

Referring to FIG. 2, as shown as one example in which a change 21 of Flat-band voltage  $V_{FB}$  of a MOS capacitor element formed by implanting a  $^{35}\text{Cl}^+$  ion of  $10^{12} \text{ cm}^{-2}$  is compared with a change 22 of a MOS capacitor element without being implanted with a  $^{35}\text{Cl}^+$  ion, there is no difference on the initial values of  $V_{FB}$  of a MOS capacitor element between them. However, when  $V_{FB}$  is measured after conducting BT treatment at 250°C, at 10V, and for ten minutes, there is almost no movement  $\Delta V_{FB}$  of  $V_{FB}$  in a sample in which a  $^{35}\text{Cl}^+$  ion is implanted. This is considered to be a result of gettering of a mobility ion such as Na<sup>+</sup> in the oxide film by an implanted  $^{35}\text{Cl}^+$  ion.

Referring to FIG. 3, a second embodiment of the invention is that a  $^{35}\text{Cl}^+$  ion 32 is implanted so as to be  $10^{11}$  to  $10^{14} \text{ cm}^{-2}$  using BCl<sub>3</sub> as an ion source with 40 keV over a n-type Si substrate 31 having a (100) plane of 10  $\Omega\text{-cm}$  in specific resistance as in first embodiment, then, SiO<sub>2</sub> 33 of 1500  $\text{\AA}$  is formed in a dry O<sub>2</sub> atmosphere at 1100°C and an Al electrode 34 is provided by electron beam evaporation to form a MOS capacitor element. In the characteristic of this oxide film, as tabulated by comparing a case of no implantation and a case of implanting a  $^{35}\text{Cl}^+$  ion of  $10^{13} \text{ cm}^{-2}$  as one example, it is recognized that the quantity of electric charges in the oxide film decreases by the  $^{35}\text{Cl}^+$  ion implantation of  $10^{13} \text{ cm}^{-2}$ ; however, a change in withstand voltage, dielectric constant, refractive index, and the like is not observed. In addition, when transient response time is measured by applying 15 V to the above described MOS capacitor element, 0.1 to 0.2 seconds are obtained in a sample in which a  $^{35}\text{Cl}^+$  ion is not implanted, whereas approximately 100 seconds are obtained in a sample in which a  $^{35}\text{Cl}^+$  ion is implanted. Thus, it is recognized that the number of traps in the oxide film decreases. As for effective minority carrier lifetime, the lifetime is 0.2 to 1.0 microseconds in a sample in which a  $^{35}\text{Cl}^+$  ion is not implanted, whereas the lifetime is 50 to 200 microseconds in a sample in which a  $^{35}\text{Cl}^+$  ion is implanted. Thus, it is observed that the effective minority carrier lifetime increases hundred times or more. It is considered that the above described phenomena are caused by gettering due to the

## English Translation of JPS49-98964

$^{35}\text{Cl}^+$  ion in which a heavy metal such as gold, copper, or iron, in addition to a  $\text{Na}^+$  ion, is implanted.

As described above, by employing the structure of the invention, there is generated an enormous effect that a clean oxide film is obtained and an electrically stable MOS structure element can be obtained.

Until now, the invention is explained with the implantation of a  $^{35}\text{Cl}^+$  ion; however, the invention is not limited to a  $^{35}\text{Cl}^+$  ion, and an implantation of other halogen ions or molecular ions which are compounds of a halogen ion is expected to have a similar effect.

For example, as an example of such a halogen molecular ion, an effect similar to the above is observed when a  $\text{BCl}^+$  ion is implanted so as to be  $10^{11}$  to  $10^{14} \text{ cm}^{-2}$  using  $\text{BCl}_3$  as a source. However, at least heat treatment at  $700^\circ\text{C}$  for one hour or more is required in a lightly implanted region because of large mass.

The present invention is that a halogen ion is implanted into a Si substrate or an oxide film formed over a Si substrate, and not that etching is performed by the impact of a halogen ion.

## Brief description of the Drawings

FIG. 1 is a cross-sectional view showing one embodiment of the present invention, and FIG. 2 is a graph for explaining the effect of the example. FIG. 3 is a cross-sectional [view] showing another embodiment of the present invention.

11 ..... Si substate

12 .....  $\text{SiO}_2$

13 .....  $^{35}\text{Cl}^+$  ion beam

14 ..... Al electrode

21 ..... The change of a sample implanted with a  $^{35}\text{Cl}^+$  ion by BT treatment

22 ..... The change of a sample without being implanted with a  $^{35}\text{Cl}^+$  ion by BT treatment

31 ..... Si substrate

32 .....  $^{35}\text{Cl}^+$  ion beam

33 .....  $\text{SiO}_2$  film

34 ..... Al electrode

**English Translation of JPS49-98964****Agent    Patent Attorney    Susumu Uchihara****List of attached papers**

<b>5</b>	<b>Specification</b>	<b>1</b>
	<b>Power of attorney</b>	<b>1</b>
	<b>Drawing</b>	<b>1</b>
	<b>Duplicate of application</b>	<b>1</b>

English Translation of JPS49-98964

## Amendment of Proceedings (voluntary)

S.48. June. 8 (1973.6.8)

Commissioner of Patents Yukio Miyake Esq.

## 5 1. Case Indication

Patent Application No. S48-10085

## 2. Title of the Invention

Method for manufacturing semiconductor device

## 3. Person Filing Amendment

10 Relation to the case: Applicant

33-1, 5-chome, shiba, minato-ku, Tokyo

(423) NEC Corporation

Representative President Koji Kobayashi

## 4. Agent

15 33-1, 5-chome, shiba, minato-ku, Tokyo

c/o NEC Corporation

(6591) Patent Attorney Susumu Uchihara

Telephone Tokyo (454)1111 (rep)

## 5. Object for amendment

20 Detailed description of the Invention in the specification

## 6. Contents of the Amendment (Patent Application No. S48-10085)

1. The entire text described in lines 11 to 12 of page 3 in the specification is amended as follows:

25 "...becomes and there are no disadvantage of being poor in reproducibility of the thickness of an oxide film and no report that low temperature is effective for obtaining a significant effect by this method, and high temperature thermal oxidation of 1100°C or more is required; therefore, there is a major disadvantage that Pn junction or the like which is already formed inside a silicon substrate is moved"

2. The following sentences are inserted between the lines 4 and 5 of page 4 therein:

30 In addition, as an amount of implantation, at least approximately  $10^{11}\text{cm}^{-2}$  is

## English Translation of JPS49-98964

required to cancel electrically active surface level existing at the interface of Si-SiO<sub>2</sub>. However, when the amount of implantation exceeds approximately 10<sup>15</sup> cm<sup>-2</sup>, lattice distortion becomes larger in an ion having large mass like a <sup>35</sup>Cl<sup>+</sup> ion, and an interface level which cannot be completely removed by a condition of normal heat treatment is  
5 anew generated at the interface of Si-SiO<sub>2</sub> to cause electrical instability. As the range of implantation in an experiment by the inventor, the range of from 10<sup>11</sup> to 10<sup>14</sup> cm<sup>-2</sup> in the case of implanting from above an oxide film, and from 10<sup>11</sup> to 10<sup>15</sup> cm<sup>-2</sup> in the case of implanting to a Si substrate are suitable.

10 3. The entire text described in the line 19 of page 4 to the line 1 of page 5 therein is amended as follows:

“...When V<sub>FB</sub> of the MOS capacitor element is measured before and after BT treatment at 250°C, at 10V, and for ten minutes, a <sup>35</sup>Cl<sup>+</sup> ion is implanted”

Agent      Patent Attorney      Susumu Uchihara

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**